

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-293397

(43) 公開日 平成9年(1997)11月11日

(51) IntCl.⁸

G 1 1 C 29/00

G 0 1 R 31/28

G 0 6 F 11/22

識別記号

3 0 3

3 1 0

3 5 0

片内整理番号

F I

G 1 1 C 29/00

G 0 6 F 11/22

G 0 1 R 31/28

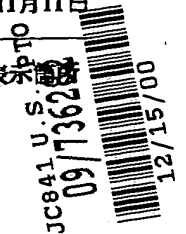
3 0 3 F

3 1 0 A

3 5 0 B

B

技術表示



審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号

特願平8-105422

(22) 出願日

平成8年(1996)4月25日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 松江 一機

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

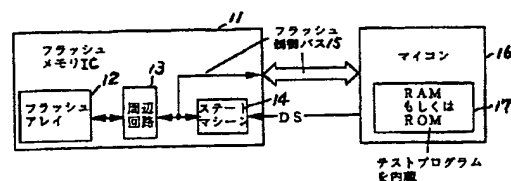
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 不揮発性半導体記憶装置の検査方法

(57) 【要約】

【課題】 レイアウト面積を大きくすることなく、また高価な検査装置を必要とすることなく、検査時間の短縮を図ることを可能とする、不揮発性半導体記憶装置の検査方法の提供。

【解決手段】 ステートマシン14を非活性とし、フラッシュ制御バス15を外部的に取り出して検査用マイコン16により検査を行う。



【特許請求の範囲】

【請求項1】 不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを有する不揮発性半導体記憶装置の検査方法に於いて、

上記制御回路を非活性とし、上記制御バスに、テストプログラムを格納するメモリを内蔵する又は該メモリが外付けされる検査用マイクロコンピュータを接続して、上記周辺回路及び記憶領域の検査を行うことを特徴とする、不揮発性半導体記憶装置の検査方法。

【請求項2】 不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを、1チップ上に有する不揮発性半導体記憶装置の検査方法に於いて、

チップ外部よりの制御信号により上記制御回路を非活性とする手段及び、上記制御バスをチップ外部に取り出すための外部端子を半導体記憶装置に設け、

上記制御信号により、上記制御回路を非活性とし、上記外部端子に、テストプログラムを格納するメモリを内蔵する又は該メモリが外付けされる検査用マイクロコンピュータを接続して、上記周辺回路及び記憶領域の検査を行うことを特徴とする、不揮発性半導体記憶装置の検査方法。

【請求項3】 上記制御信号が、上記テストプログラムの実行に基づいて上記検査用マイクロコンピュータより出力されることを特徴とする、請求項2に記載の、不揮発性半導体記憶装置の検査方法。

【請求項4】 不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを有する不揮発性半導体記憶装置の検査方法に於いて、

上記制御回路を非活性とし、上記制御バスに、検査装置又は、テストプログラムを格納するメモリを内蔵する若しくは該メモリが外付けされる検査用マイクロコンピュータを選択的に接続して、上記周辺回路及び記憶領域の検査を行うことを特徴とする、不揮発性半導体記憶装置の検査方法。

【請求項5】 上記検査装置及び検査用マイクロコンピュータと、上記制御バスとの間に、切り換え回路を有し、上記検査装置または検査用マイクロコンピュータより出力される切り換え制御信号により、上記検査装置又は検査用マイクロコンピュータが選択的に上記制御バスと接続されることを特徴とする、請求項4に記載の、不揮発性半導体記憶装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電気的に書き換え

可能な不揮発性半導体記憶装置の検査方法に係り、特に、不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを有する不揮発性半導体記憶装置の検査方法に関するものである。

【0002】

【従来の技術】 制御回路によって制御される不揮発性の記憶領域を持つ半導体記憶装置としては、例えばフラッシュメモリが挙げられる。まず、記憶領域であるフラッシュメモリセルの構造について説明する。

【0003】 図7に、フラッシュメモリの代表的なセルの構成図を示す。このセルは1セル/1ビット構成であり、コントロールゲート71、フローティングゲート72、ソース73、ドレイン74からなり、浮遊ゲート型電界効果トランジスタと呼ばれる。また、ソースがある一定数分（例えばブロック）だけ共通になっており、ブロックの構成は、 n 個のコントロールゲートと接続された m 本のワード線 $81_1, \dots, 81_m$ と、 m 個のドレインに接続された n 本のビット線 $82_1, \dots, 82_n$ からなっている。この構成図を図8に示す。

【0004】 次に、フラッシュメモリの動作について簡単に述べる。メモリセルへの書き込みは、コントロールゲートに高電圧（例えば12V）、同様にドレインに高電圧（例えば7V）、ソースに低電圧（例えば0V）を印加し、ドレイン接合近傍で発生されたホットエレクトロンをフローティングゲートに注入することにより行なう。

【0005】 一方、消去は、コントロールゲートに低電圧（例えば0V）、ドレインに低電圧（例えば0V）、ソースに高電圧（例えば12V）を印加し、フローティングゲート・ソース間に高電界を発生させ、トンネル現象を利用してフローティングゲート内の電子をソースに引き抜くことにより行なう。

【0006】 さらに、読み出しは、コントロールゲートに高電圧（例えば5V）、同様にドレインに低電圧（例えば1V）、ソースに低電圧（例えば0V）を印加し、この時に流れる電流の大小を内部のセンスアンプによって増幅して、データの“1”及び“0”の判定を行なう。

【0007】 書き込み時にドレインの電圧をコントロールゲートの電圧よりも低めに設定しているのは、書き込みを行なわないメモリセルに対して寄生的な弱い書き込み（ソフトプログラム）を極力防ぐためである。これは、前記に述べたように一本のワード線もしくはビット線に複数のメモリセルが接続されているためである。

【0008】 このように高信頼性を保ち、かつフラッシュメモリの書き込み及び消去を行なうためには、非常に複雑な制御を必要とする。そのため、最近のフラッシュメモリには、ユーザ側の見かけ上の使いがってを良くす

るため、ステートマシンと呼ばれる制御回路を内蔵しているものが多く、自動書き込み及び消去を実現している。

【0009】フラッシュメモリの具体的な構成の一例を図9に示す。ステートマシン91は、フラッシュメモリの通常動作時に制御バス92を介して書き込み・消去電圧発生回路931、行デコーダ932、列デコーダ933、センスアンプ934、入出力バッファ935、アドレスレジスタ936等の周辺回路93を必要に応じて制御する。尚、94はフラッシュメモリセルアレイ、95はアドレスパッド、96はI/Oパッドである。

【0010】制御回路によりメモリ領域を制御する半導体記憶装置において、そのメモリ領域を検査する一例としては特開昭60-85500号公報に示されているものがある。この方法は、検査時に切り換え回路により、論理回路を経由することなく入出力端子とメモリ領域を直接接続することにより書き込み及び読み出しデータを得るものである。また、切り替え回路を使用した一例を図10に示す。これは、通常動作に使用するアドレスバスやデータバスと、検査時に使用するフラッシュ制御バスを同一のパッドで兼用する方法である。制御回路(ステートマシン)101をディセーブルにする信号(DS)が切り替え回路102及び103にも入力され、この信号がオンの時には、アドレスパッド104及びI/Oパッド105がフラッシュ制御バス106に接続し、オフの時にはアドレスバス107やデータバス108に接続するようになっている。

【0011】もし前記の方法によりフラッシュメモリの検査を行なうとすると、ステートマシンと呼ばれる制御回路がディセーブルとなり、書き込み・消去電圧発生回路を駆動する為に、前記に述べたように書き込み及び消去等の動作において複雑な制御を要するため高級な検査装置が必要になる。なお、この方法はメモリ領域の検査に限定されており、メモリの動作に必要な周辺回路の検査には言及されていない。すなわち、書き込み・消去電圧発生回路等の検査には言及されていない。

【0012】また、チップ外部に設けた検査装置にテストプログラムを格納しテストを行なう場合には、一般的に検査装置を極力安価にする必要から、その動作速度は被測定デバイス(フラッシュメモリ)自体の速度より遅い(例えば検査装置が原振5MHzの時、サイクルタイムは2 μ sec程度)。

【0013】別の従来例として、図11に示すような被測定デバイス単体で検査を行なう方法がある(以下、これを簡単に「セルフテスト」と呼ぶ)。この方法は、デバイス(フラッシュメモリ)111内に主記憶(例えばフラッシュメモリセルアレイ)112以外の記憶容量(RAMまたはROM)113を用意し、その中にテストプログラムをあらかじめ格納しておくものである。検査開始は検査開始信号であるTESTをオンにする。そ

うすると被測定デバイスはセルフテストモードとなり、デバイス内部の制御回路(ステートマシン)114は、RAMまたはROMの内容に基づき、フラッシュ制御バス115を駆動し検査が行なわれる。検査結果はI/Oポートに出力される。セルフテストの実行速度は基本的に被測定デバイス内の制御回路の動作速度と等しいため、検査装置にて検査するよりも高速(例えば原振20MHzのとき内部サイクルタイム500nsec程度)に行なうことが可能である。しかしながら、セルフテストにて検査する場合には、別途テストプログラムを格納する領域を用意する必要があり結果としてレイアウト面積は大きくなる。

【0014】また、セルフテストでは、書き込み、消去および読み出し時間の測定や、動作時および待機時の消費電流の測定を行なうことは不可能である。つまり、セルフテストは、実施できる検査内容が、前記テストプログラムを格納できる領域の大小に関わらず制限される。

【0015】

【発明が解決しようとする課題】本発明は、不揮発性半導体記憶装置のレイアウト面積を大きくすることなく、また高価な半導体検査装置を必要とすることなく、検査時間の短縮を計ることを可能とする手法を提供しようとするものである。

【0016】

【課題を解決するための手段】本発明の不揮発性半導体記憶装置の検査方法は、不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを有する不揮発性半導体記憶装置の検査方法に於いて、上記制御回路を非活性とし、上記制御バスに、テストプログラムを格納するメモリを内蔵する又は該メモリが外付けされる検査用マイクロコンピュータを接続して、上記周辺回路及び記憶領域の検査を行うことを特徴とするものである。

【0017】また、本発明の不揮発性半導体記憶装置の検査方法は、不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを、1チップ上に有する不揮発性半導体記憶装置の検査方法に於いて、チップ外部よりの制御信号により上記制御回路を非活性とする手段及び、上記制御バスをチップ外部に取り出すための外部端子を半導体記憶装置に設け、上記制御信号により、上記制御回路を非活性とし、上記外部端子に、テストプログラムを格納するメモリを内蔵する又は該メモリが外付けされる検査用マイクロコンピュータを接続して、上記周辺回路及び記憶領域の検査を行うことを特徴とするものである。

【0018】更に、上記制御信号が、上記テストプログラムの実行に基づいて上記検査用マイクロコンピュータより出力されることを特徴とするものである。

【0019】また、本発明の不揮発性半導体記憶装置の検査方法は、不揮発性の記憶領域及びその周辺回路と、該周辺回路を介して上記記憶領域の書き込み・消去を制御する制御回路と、上記制御回路と上記周辺回路とを接続する制御バスとを有する不揮発性半導体記憶装置の検査方法に於いて、上記制御回路を非活性とし、上記制御バスに、検査装置又は、テストプログラムを格納するメモリを内蔵する若しくは該メモリが外付けされる検査用マイクロコンピュータを選択的に接続して、上記周辺回路及び記憶領域の検査を行うことを特徴とするものである。

【0020】更に、上記検査装置及び検査用マイクロコンピュータと、上記制御バスとの間に、切り換え回路を有し、上記検査装置または検査用マイクロコンピュータより出力される切り換え制御信号により、上記検査装置又は検査用マイクロコンピュータが選択的に上記制御バスと接続されることを特徴とするものである。

【0021】すなわち、本発明に係る検査手法は、あらかじめチップ外部に検査用マイコン（マイクロコンピュータ）、又は検査用マイコン+RAM、若しくは検査用マイコン+ROMを設け、被測定デバイスである不揮発性半導体記憶装置の制御バスを外部端子に接続し、検査用マイコンが内部のRAM/ROM、又は外部RAM/ROM内にあらかじめ格納してあるテストプログラムに基づき、前記不揮発性の記憶領域の動作に必要な周辺回路を高速に制御することにより、周辺回路の検査を行ない、また間接的に記憶領域の検査を行なうことを特徴とする。

【0022】また、上記本発明に係る検査手法と検査装置による検査手法の双方を実現できる手段を用意し、検査内容により検査手法を選択することにより検査時間の最適化を計ることを特徴とする。

【0023】本発明の検査手法によれば、被測定デバイスの制御をあらかじめ別途用意した外部マイコンにて行なうので、一般的な検査装置に比べ高速に制御することができ検査時間の短縮を計ることができる。

【0024】また、検査に用いるマイコンならびにRAMもしくはROMの費用は、検査装置の処理速度を上げることと比べると非常に安価にすることが可能である。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について説明する。

【0026】図1は、被測定デバイスであるフラッシュメモリIC11の検査を外部マイコン16にて行なう場合である。

【0027】図中の周辺回路13とは、図9に示す書き込み・消去電圧発生回路、行および列デコーダ、センスアンプ、アドレスレジスタ、入出力バッファの全体を意味する。12はフラッシュメモリセルアレイである。

【0028】検査用マイコン16の内部記憶領域（RA

MもしくはROM)17にはあらかじめテストプログラムを格納しておく。検査は以下のようにして行なう。検査用マイコン16が内部のRAMもしくはROMに記憶されているテストプログラムに基づき検査を開始すると、まず出力信号であるDSをオンにしてフラッシュメモリ内部のステートマシーン（制御回路）14をディセーブル（非活性）にする。このときステートマシーン14とフラッシュ制御バス15は完全に切り離される。次に、ステートマシーン14とフラッシュ制御バス15が完全に切り離されるのを確認した後、検査用マイコン16はフラッシュ制御バス15を介してフラッシュメモリの動作に必要な周辺回路13を制御し検査を実行する。本発明による検査時間は検査用マイコン16の処理速度による為、被測定デバイスの動作速度と等しい、セルフテスト並の速さが期待できる。

【0029】なお、フラッシュ制御バスを外部に引き出すための具体的構成としては、例えば、前記図10に示す構成を採用することができる。

【0030】周辺回路の具体的な検査内容としてはアドレスレジスタの書き込みチェック、書き込み・消去電圧発生回路が所望の電圧を出力しているかどうかのチェック、ならびに行および列デコーダ、センスアンプ、入出力バッファの動作チェック等がある。さらに周辺回路の検査をすることにより、フラッシュアレイ領域に対して間接的に検査を行なうことが可能である。例としては、全メモリセルに対し書き込みおよび消去が正常に行なえるかどうかの検査、また前記メモリセルが書き換え補償回数を補償期間中に満足しうかどうか等の信頼性に関する検査が挙げられる。

【0031】検査結果を知る方法としては、テストプログラムが最後までフェイルなしに実行された時はパスフラグを、途中で失敗した時はフェイルフラグを、マイコンのI/Oポートに出力してやれば良い。

【0032】また、図2は、図1の構成図にさらにテストプログラム格納用として別途外部RAMを追加した場合を示す。

【0033】すなわち、図1の構成に於いては、テストプログラムを格納するRAMもしくはROMがマイコン16に内蔵されるのに対して、図2の構成に於いては、テストプログラムを格納するRAM21がマイコン16に外付けされているものである。その他の構成は図1と同一である。動作原理は上記と同様である。

【0034】さらに、図3は、図2の外部RAMがROMに置き換わった場合であり、動作原理は上記と同様である。

【0035】すなわち、図2の構成に於けるテストプログラム格納用RAM21に代えて、テストプログラム格納用ROM31がマイコン16に外付けされているものである。

【0036】図4は、図1に示した本発明である検査用

マイコンにて検査する手法と、従来の検査装置にて検査する手法の双方を実現し、検査内容により検査手法を選択することにより検査時間の最適化を計ることを可能とする実施形態の構成図である。

【0037】検査装置46及び検査用マイコン47の内部には、それぞれの装置にて行なう検査のテストプログラムを格納しておく。マイコン側のテストプログラムは内蔵のRAMもしくはROM48に格納されている。被測定デバイスであるフラッシュメモリIC41の構成は、図1等と同様であり、フラッシュメモリセルアレイ42、周辺回路43、ステートマシーン（制御回路）44及び制御バス45を有する。

【0038】この場合の動作を以下に示す。検査装置46が内部のRAMもしくはROMに記憶されているテストプログラムに基づき検査を開始すると、まず出力信号であるDSをオンにしてフラッシュメモリ内部のステートマシーン44をディセーブル（非活性）にする。このときステートマシーン44とフラッシュ制御バス45が完全に切り離されるのを確認する。その上で検査装置46は、次に行なわれる検査が検査装置により行なわれる項目か、検査用マイコンにて行なわれる項目かを判断する。検査装置が検査を行なう場合にはEN信号はオフとなる。この信号は検査用マイコン47とフラッシュ制御バスの切り換え回路49に入力され、EN信号がオフの時、検査用マイコン47はディセーブルとなり、フラッシュ制御バス切り換え回路49は検査装置側と接続する。その後、フラッシュ制御バスを介してフラッシュメモリを制御し検査を行なう。また、検査用マイコン47が検査を行なう場合にはEN信号はオンとなり、検査用マイコン47がイネーブルになり検査を開始する。また、EN信号がオンとなることにより、フラッシュ制御バス切り換え回路49は検査用マイコン側と接続する。検査用マイコン47による検査結果は専用または他の入出力バスと兼用のI/Oポートから出力され、検査装置46が判定する。検査結果を検査装置46が受け取ると検査装置46は次のテストプログラムを実行する。

【0039】検査装置と検査用マイコンのどちらかによって検査を行なうかは、基本的にその検査時間の短い方で行なえば良いが、一例として、現時点において検査装置にて実施した方が好ましい検査内容としては、書き込み、消去および読み出し等の時間を測定する検査、動作時および待機時の消費電流やピンリーク等の電流値を測定する検査などが挙げられる。これは、一般的にマイコンはアナログ値の判定は不得意なためである。

【0040】また、検査用マイコンにて実施した方が好ましい検査内容としては、前記周辺回路に関する検査が挙げられる。これは、前記に述べたように検査装置で行なうよりも高速に検査が行なえるためである。なお、ここでは検査装置46が検査用マイコン47を制御してフラッシュメモリ41の一連の検査を行なう方法について

述べたが、これが逆の場合についても検査が行なえるのは明白である。

【0041】すなわち、検査用マイコンが検査装置を制御して検査を行う構成とすることも可能であることは明白である。この場合、上記DS信号及びEN信号はマイコン側より出力され、また、検査装置による検査結果はマイコン側に入力される。

【0042】また、図5は、図4の構成図にさらにテストプログラム格納用として別途外部RAMを追加した場合を示す。

【0043】すなわち、図4の構成に於いては、テストプログラムを格納するRAMもしくはROMがマイコン47に内蔵されているのに対して、図5の構成に於いては、テストプログラムを格納するRAM51がマイコン47に外付けされているものである。その他の構成は図4と同一である。動作原理は上記と同様である。

【0044】さらに、図6は、図5の外部RAMがROMに置き換わった場合であり、動作原理は上記と同様である。

【0045】すなわち、図5の構成に於けるテストプログラム格納用RAM51に代えて、テストプログラム格納用ROM61がマイコン47に外付けされているものである。

【0046】なお、以上に於いては、一例としてフラッシュメモリの場合について説明したが、制御回路がオンチップにあるなしにかかわらず制御回路により制御される不揮発性メモリにおいて本発明が応用できることは明白である。

【0047】

【発明の効果】以上詳細に説明したように、本発明によれば、極めて有用な不揮発性半導体記憶装置の検査方法を提供することができるものである。

【図面の簡単な説明】

【図1】本発明の第一の実施形態の構成図である。

【図2】本発明の第二の実施形態の構成図である。

【図3】本発明の第三の実施形態の構成図である。

【図4】本発明の第四の実施形態の構成図である。

【図5】本発明の第五の実施形態の構成図である。

【図6】本発明の第六の実施形態の構成図である。

【図7】フラッシュメモリセルの構成図である。

【図8】フラッシュメモリセルのブロック構成を示す図である。

【図9】フラッシュメモリの構成図である。

【図10】フラッシュ制御バスを外部に取り出す方法の一例を示す構成図である。

【図11】従来の不揮発性メモリの検査方法の一例を示す構成図である。

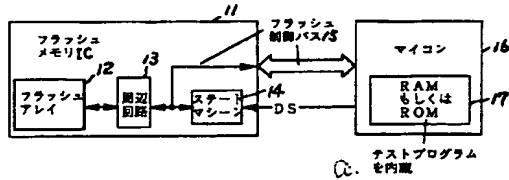
【符号の説明】

11 フラッシュメモリIC

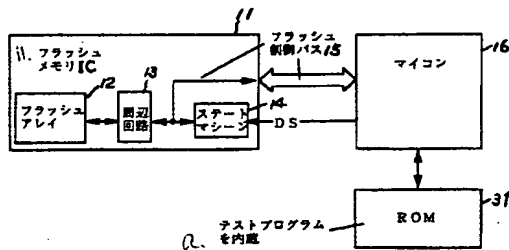
12 フラッシュメモリセルアレイ

- 13 周辺回路
- 14 ステートマシーン
- 15 制御バス
- 16 検査用マイコン
- 17 内蔵RAM (ROM)
- 21 外付けRAM
- 31 外付けROM
- 41 フラッシュメモリIC
- 42 フラッシュメモリセルアレイ

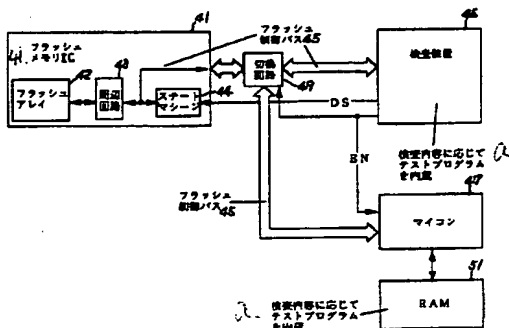
【図1】



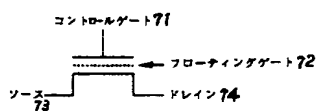
【図3】



【図5】

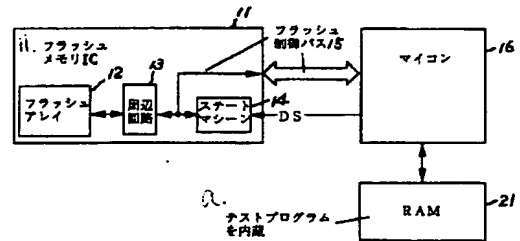


【図7】

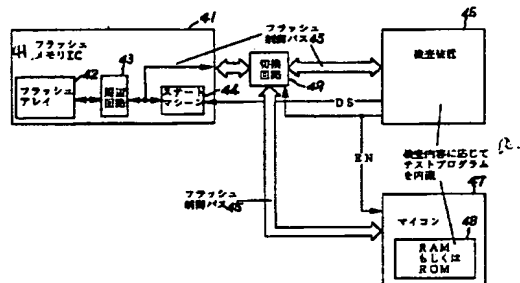


- 43 周辺回路
- 44 ステートマシーン
- 45 制御バス
- 46 検査装置
- 47 検査用マイコン
- 48 内蔵RAM (ROM)
- 49 切り換え回路
- 51 外付けRAM
- 61 外付けROM

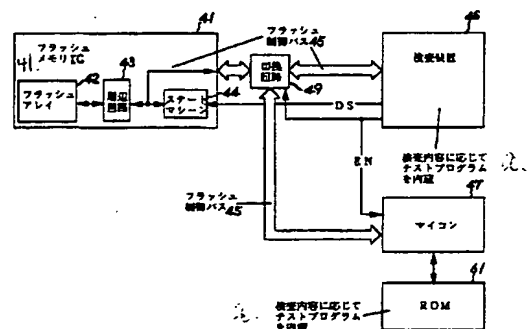
【図2】



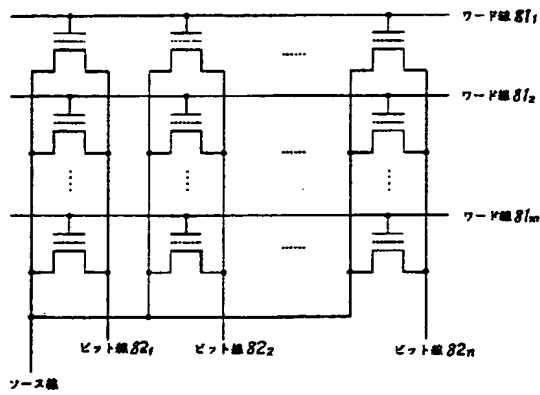
【図4】



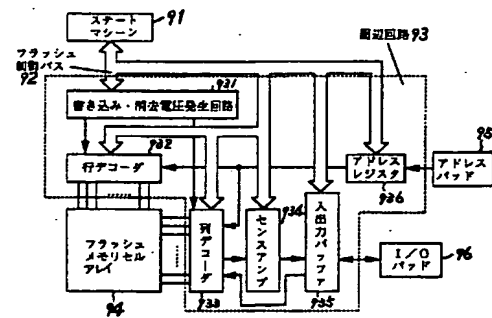
【図6】



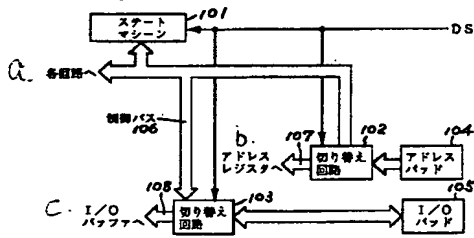
【図8】



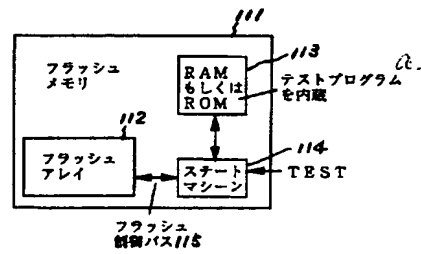
【図9】



【図10】



【図11】



(English Translation)

JAPANESE PATENT LAID-OPEN PUBLICATION No. 9-293397

Publication Date: November 11, 1997

Patent Application No.: 8-105422

Application Date: April 25, 1996

Applicant: Sharp Corporation

[Title of the Invention]

Method of Testing a Nonvolatile Semiconductor Memory Device

[Abstract]

[Object] To provide a method of testing a nonvolatile semiconductor memory device, within a time shortened without the necessity of increasing the layout area or using an expensive test apparatus.

[Means for Achieving the Object]

The state machine 14 is disabled, the flash control bus 15 is removed from the machine, and the test microcomputer 16 is operated, thereby testing a memory device.

[Claims]

[Claim 1] A method of testing a nonvolatile semiconductor memory device having a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits,

characterized in that the control circuit is disabled; a test microcomputer is connected to the control

JC841 U.S. PTO

09/736282



bus, said test microcomputer incorporating a memory storing a test program or connected to the memory; and the peripheral circuits and the memory region are tested.

[Claim 2] A method of testing a nonvolatile semiconductor memory device having, on a single chip, a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits,

characterized in that the semiconductor memory device comprises means for disabling the control circuit in response to a control signal supplied from outside the chip and external terminals extending the control bus from the chip; the control signal disables the control circuit; a test microcomputer is connected to the control bus, said test microcomputer incorporating a memory storing a test program or connected to the memory; and the peripheral circuits and the memory region are tested.

[Claim 3] The method of testing a nonvolatile semiconductor memory, according to claim 2, characterized in that the test microcomputer outputs the control signal as the test program is executed.

[Claim 4] A method of testing a nonvolatile semiconductor memory device having a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits,

characterized in that the control circuit is disabled; either a test apparatus or a test microcomputer is connected to the control bus, said test microcomputer incorporating a memory storing a test program or connected to the memory; and the peripheral circuits and the memory region are tested.

[Claim 5] The method of testing a nonvolatile semiconductor memory, according to claim 4, characterized in that a switching circuit is provided between the test apparatus and test microcomputer, and the control bus, and either the test apparatus or the test microcomputer is connected to the control bus in accordance with a switching signal output from either the test apparatus or the test microcomputer.

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

The present invention relates to a method of testing an electrically programmable, nonvolatile semiconductor memory device. In particular, it relates to a method of testing a nonvolatile memory device that has a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits.

[0002]

[Prior Art]

A flash memory is one of the known semiconductor memories, which have nonvolatile memory regions that are

controlled by a control circuit. Firstly, flash memory cells of this memory, which constitute a memory region, will be described.

[0003]

FIG. 7 shows the structure of one of the cells of a flash memory. The cell has the one cell/one bit structure. The cell comprises a control gate 71, a floating gate 72, a source 73, and a drain 74. It is called "floating-gate, field-effect transistor." A prescribed number of cells (forming a block) share one source. The block has m word lines $81_1, \dots, 81_m$ connected to n control gates, and n bit lines $82_1, \dots, 82_n$ connected to m drains. The structure of the block is shown in FIG. 8.

[0004]

How the flash memory operates will be briefly described. To write data into each memory cell, a high voltage (e.g., 12V) is applied to the control gate as well as a high voltage (e.g., 7V) is applied to the drain, and a low voltage (e.g., 0V) is applied to the source. Hot electrons are thereby generated in the vicinity of the drain junction. The hot electrons are injected into the floating gate, whereby the data is written into the memory cell.

[0005]

To erase the data from the memory cell, a low voltage (e.g., 0V) is applied to the control gate, a low voltage (e.g., 0V) is applied to the drain, and a high voltage (e.g., 12V) is applied to the source. An intense electric field is thereby generated between the floating gate and the gate-source path. By virtue of a tunnel effect, the

electrons are moved from the floating gate into the source, whereby the data is erased from the memory cell.

[0006]

Further, in order to read the data from the memory cell, a high voltage (e.g., 5V) is applied to the control gate, a low voltage (e.g., 1V) is applied to the drain, and a low voltage (e.g., 0V) is applied to the source. A current then flows in the memory cell. The sense amplifier incorporated in the memory amplifies the current. It is determined whether or not the current represents data "1" or data "0."

[0007]

In the process of writing data into the memory cell, the voltage applied to the drain to write data is lower than the voltage applied to the control gate. The voltages are thus set, in order to prevent, as much as possible, the writing of parasitic data (i.e., soft program) into the memory cells into which no data needs to be written. This is because a plurality of memory cells are connected to one word line or one bit line, as has been described above.

[0008]

Extremely complex control must be performed to write data into, and erase data from, a flash memory with high reliability. This is why many of flash memories recently developed incorporate a control circuit called "state machine" in order to ensure a high performance of the flash memories at users in appearance. The state machine serves to ensure automatic data-writing and data-erasing.

[0009]

FIG. 9 shows a specific example of a flash memory.

During the normal operation of the flash memory, the state machine 91 writes data into the memory cells through the control bus 92 and controls, whenever necessary, the peripheral circuits 93 such as the write/erase voltage generating circuit 931, row decoder 932, column decoder 933, sense amplifier 934, input/output buffer 935 and address register 936. Reference numeral 94 designates the array of flash memory cells, reference numeral 95 the address pad, and reference numeral 96 the I/O pad.

[0010]

A semiconductor memory in which a control circuit controls and tests the memory region is disclosed in Japanese Patent Laid-Open Publication No. 60-85500. In the method of testing the region, disclosed in the publication, a switching circuit connects the input/output terminals directly to the memory region during the test, not via a logic circuit at all, thereby to write data into the memory or read data therefrom. FIG. 10 illustrates a memory that incorporates such switching circuits. In this memory, the address bus and data bus, both used during normal operation, and the flash control bus used during the test share one and the same pad. A signal (DS) for disabling the control circuit 101 (state machine) is input to the switching circuits 102 and 103, too. When the signal is on, address pads 104 and I/O pad 105 are connected to flash control bus 106. When the signal is off, the address pads 104 and I/O pad 105 are connected to address bus 107 or data bus 108.

[0011]

If the aforementioned method is used to test the flash memory, the control circuit called "state machine" is

disabled. In this case, a sophisticated test apparatus must be used to control both the data-writing and the data-erasing in a complicated manner. Further, the use of this method is limited to test the memory region. The publication does not teach that the method can be used to test the peripheral circuits required to operate the memory. That is, the publication does not describe that the method may be employed to test the circuit for generating a data-writing voltage or a data-erasing voltage.

[0012]

A test apparatus provided outside the memory chip may be used to test the memory after a test program has been stored into the test apparatus. In most cases, the test apparatus operates more slowly than the device tested (i.e., flash memory). This is because the test apparatus needs to be manufactured at as low a cost as possible. (For, example, the cycle time is about 2 μ sec when the test apparatus has a basic frequency of 5 MHz.)

[0013]

There is another conventional method of testing a memory device by means of the device itself, which is illustrated in FIG. 11. (Hereinafter, this method will be referred to as "self-test.") To perform the method, the device (i.e., flash memory) 111 needs to have a memory (RAM or ROM) 113, in addition to the main memory (e.g., the array of flash memory cells) 112. The test program is stored into the memory 113 before the test is started. To start the test, the test-starting signal TEST is turned on. The memory device to be tested is then set to self-test mode. Then, the control circuit (state machine) 114 drives

the flash control bus 115 and tests the memory device in accordance with the contents of the RAM or ROM. The result of the test is output to an I/O port. The self-test is effected, basically at the same speed as the control circuit operates, said circuit having the memory therein. Therefore, the device can be tested faster than is tested by a test apparatus. (For example, it can be tested within the internal cycle time of about 500 nsec when the basic frequency of 20 MHz.) When the memory device is self-tested, however, the memory region for storing the test program must be provided. This inevitably increases the layout area of the memory device.

[0014]

In the self-test mode, it is impossible to measure the data-writing time, data-erasing time or data-reading time. Nor is it possible to measure the current consumed during the test period or the current consumed during the stand-by period. That is, the items that can be tested in the self-test mode are limited in numbers, regardless of the size of the memory region in which the test program can be stored.

[0015]

[Object(s) of the Invention]

An object of the present invention is to provide a method of testing a nonvolatile semiconductor memory device, which can test the device within a short time, without increasing the layout area of the memory device or the necessity of using an expensive apparatus for testing semiconductor devices.

[0016]

[Means for Achieving the Object]

A method of testing a memory, according to the invention, is designed to test a nonvolatile semiconductor memory device that has a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits. The method is characterized in that the control circuit is disabled; a test microcomputer is connected to the control bus, said test microcomputer incorporating a memory storing a test program or connected to the memory; and the peripheral circuits and the memory region are tested.

[0017]

Another method of testing a memory, according to this invention, is designed to test a nonvolatile semiconductor memory device that has, on a single chip, a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits. This method is characterized in that the semiconductor memory device comprises means for disabling the control circuit in response to a control signal supplied from outside the chip and external terminals extending the control bus from the chip; the control signal disables the control circuit; a test microcomputer is connected to the control bus, said test microcomputer incorporating a memory storing a test program

or connected to the memory; and the peripheral circuits and the memory region are tested.

[0018]

In the method described in the preceding paragraph, the test microcomputer may output the control signal as the test program is executed.

[0019]

Another method of testing a memory, according to this invention, is designed to test a nonvolatile semiconductor memory device that has a nonvolatile memory region, peripheral circuits surrounding the memory region, a control circuit for writing and erasing data in and from the memory region via the peripheral circuits, and a control bus connecting the control circuit and the peripheral circuits. The method is characterized in that the control circuit is disabled; either a test apparatus or a test microcomputer is connected to the control bus, said test microcomputer incorporating a memory storing a test program or connected to the memory; and the peripheral circuits and the memory region are tested.

[0020]

In the method described in the preceding paragraph, a switching circuit may be provided between the test apparatus and test microcomputer, and the control bus, and either the test apparatus or the test microcomputer may be connected to the control bus in accordance with a switching signal output from either the test apparatus or the test microcomputer.

[0021]

In the method of testing a nonvolatile

semiconductor memory device, according to this invention, a test microcomputer, a test microcomputer and a RAM, or a test microcomputer and a ROM are provided outside the chip; the control bus of the nonvolatile semiconductor memory device is connected to external terminals; and the test microcomputer controls the peripheral circuits for the nonvolatile memory region, at high speed in accordance with the test program stored in the RAM or ROM or in an external RAM or RAM, thereby testing the peripheral circuits and indirectly testing the memory region.

[0022]

Means may be provided, which can perform one test method of the invention and which can enables a test apparatus to perform the other test method of the invention. Either said one test method or said other test method is selected and carried out, thereby optimizing the test time.

[0023]

In the test method according to the invention, an external test microcomputer controls the device at a higher speed than an ordinary test apparatus test the device. Thus, the test time can be shortened.

[0024]

The cost of using the test microcomputer and the RAM or ROM to test the device can be much lower than the cost required to increase the operating speed of an ordinary test apparatus.

[0025]

[Embodiments of the Invention]

Embodiments of the invention will now be described, with reference to the accompanying drawings.

[0026]

FIG. 1 illustrates how an external microcomputer 16 tests a flash memory IC 11, which is a device to be tested.

[0027]

The peripheral circuits 13 shown in FIG. 1 are: the circuit for generating data-writing voltage and data-erasing voltage, row decoder, column decoder, sense amplifier, address register and input/output buffer, all illustrated in FIG. 9. Numeral 12 indicates the array of flash memory cells.

[0028]

A test program is stored in the internal memory region (RAM or ROM) 17 that is provided in the test microcomputer 16. The test is performed as will be described below. When the test microcomputer 16 starts testing the flash memory IC in accordance with the test program stored in the RAM or ROM incorporated in the test microcomputer 16, the output signal DS is turned on. The state machine (control circuit) 14 incorporated in the flash memory is thereby disabled. At this time, the state machine 14 and the flash control bus 15 are completely disconnected from each other. After it is confirmed that the state machine 14 and flash control bus 15 have been disconnected, the test microcomputer 16 controls, via the flash control bus 15, the peripheral circuits 13 which help the flash memory to operate. The test time required in the present invention depends on the operating speed of the test microcomputer 16. Hence, it can be expected that the test is performed as fast as self-test, at the same speed as the operating speed of the device being tested.

[0029]

The flash control bus may be led outside by means of, for example, the structure illustrated in FIG. 10.

[0030]

The peripheral circuits are tested for several items. More specifically, the address register is tested to see if data is reliably written into it, and the voltage-generating circuit is tested to determine whether it outputs the data-writing voltage and the data-erasing voltage. Further, the row decoder, column decoder, sense amplifier and input/output buffer are tested to see if they function well. The peripheral circuits are thus checked, whereby the flash array region is indirectly tested. For example, the array region is tested to determine whether data can be written and erased into and from all memory cells and whether data can be rewritten in all memory cells a prescribed number of times within a specific period as is guaranteed.

[0031]

To obtain the results of the test, it suffices to output the bus flag to the I/O port of the microcomputer if the test program is executed completely without fail, or to output the fail flag to the I/O port if the test program cannot be executed completely.

[0032]

FIG. 2 shows a combination of the structure shown in FIG. 1 and an external RAM for storing the test program.

[0033]

In the structure of FIG. 1, the RAM or ROM for storing the test program is incorporated in the

microcomputer 16. By contrast, in the structure of FIG. 2, the RAM 21 for storing the test program is externally connected to the microcomputer 16. In all other respects, the structure of FIG. 2 is the same as the structure of FIG. 1. The structure of FIG. 2 is identical to that of FIG. 1 in terms of operating principle.

[0034]

FIG. 3 shows a structure, which is identical to the structure of FIG. 2, except that a ROM replaces the RAM. The structure shown in FIG. 3 is identical to the structure of FIG. 1 in operating principle.

[0035]

In other words, the ROM 31 storing the test program is externally connected to the microcomputer 16, replacing the RAM 21 that is used in the structure of FIG. 2 to store the test program.

[0036]

FIG. 4 shows an embodiment of the invention, which can perform both the test method effected by the structure of FIG. 1 and the test method carried out by the conventional test apparatus. In this embodiment, one method is selected in accordance with the test item and performed, thereby to optimize the test time.

[0037]

A test program is stored in the test apparatus 46, and another test program is stored in the test microcomputer 47. In the microcomputer, the test program stored in the RAM or ROM 48 incorporated in the microcomputer. The flash memory IC 41, i.e., the device to test, has the same structure as the device illustrated in

FIG. 1. Namely, it has an array 42 of flash memory cells, peripheral circuits 43, state machine (control circuit) 44 and a control bus 45.

[0038]

How the embodiment shown in FIG. 4 operates will be described as follows. When the test apparatus 46 starts testing the flash memory in accordance with the test program stored in the RAM or ROM, the output signal DS is turned on. The state machine 44 provided in the flash memory is thereby disabled. It is confirmed that the state machine 44 and the flash control bus 45 have been disconnected completely. Then, the test apparatus 46 determines whether it or the test microcomputer should test the memory IC for the next item. If it is determined that the test apparatus should test the memory IC, the signal EN is turned off. The signal EN is input to the test microcomputer 47 and the switching circuit 49 for switching flash control buses. When the signal EN is off, the test microcomputer 47 is disabled. In this case, the switching circuit 49 is connected to the test apparatus. Thereafter, the flash memory is controlled via the flash control bus. If it is determined that the test microcomputer 47 should test the memory IC, the signal EN is turned on, enabling the test microcomputer 47. Thus, the test microcomputer 47 starts testing the memory IC. When the signal EN is turned on, the switching circuit 49 is connected to the test microcomputer. The result of the test performed by the test microcomputer 47 is output from the I/O port that is connected to other input/output buses, too. From the result of test, the test apparatus determines whether the

memory IC is operating well. That is, the test apparatus 46 executes a next test program upon receipt of the result of test.

[0039]

Which, the test apparatus or the test microcomputer, should be used to test the memory IC may be determined in accordance which device tests the memory IC faster than the other device. The test apparatus should better be used to, for example, measure the time required to write, erase and read data and measure the current consumed during the test period, the stand-by period, the pin-leakage period or the like. This is because microcomputers are generally unable to determine analog values correctly.

[0040]

The test microcomputer should better be used to test, for example, the peripheral circuits. This is because, as indicated above, the microcomputer can test the circuits faster than the test apparatus. In the method described above, the test apparatus 46 controls the test microcomputer 47, thereby testing the flash memory 41 for various test items. Nonetheless, the other way around is possible; the test microcomputer 47 can control the test apparatus 46, to test the flash memory 41.

[0041]

Obviously, it is possible to make the test microcomputer control the test apparatus, thereby to test the flash memory. In this case, the microcomputer outputs the signal DS and the signal EN, and the test apparatus inputs the result of test to the test microcomputer.

[0042]

FIG. 5 illustrates an embodiment of the invention, which is a combination of the structure shown in FIG. 4 and an external RAM for storing the test program.

[0043]

In the structure of FIG. 4, the RAM or ROM storing the test program is incorporated in the microcomputer 47. By contrast, a RAM 51 for storing the test program is externally connected to the microcomputer 47 in the structure shown in FIG. 5. In any other aspect, the structure of FIG. 5 is identical to that of FIG. 4. The structure is identical to that of FIG. 1 in terms of operating principle.

[0044]

FIG. 6 depicts an embodiment of the invention, which is the same as the structure of FIG. 5, except that a ROM replaces the external RAM. The structure of FIG. 6 is identical to that of FIG. 1 in operating principle.

[0045]

That is, a ROM 61 storing the test program is externally connected to the microcomputer 47, instead of the RAM 51 used in the structure of FIG. 5 for storing the test program.

[0046]

As described above, the memory tested is a flash memory. It is obvious, nevertheless, that the present invention can be applied to a nonvolatile memory that is controlled by a control circuit, no matter whether the control circuit is provided on the chip or not.

[0047]

[Advantage(s) of the Invention]

As has been described in detail, this invention can provide a very useful method of testing a nonvolatile semiconductor memory device.

[Brief Description of the Drawings]

[FIG. 1] A diagram showing the first embodiment of the present invention.

[FIG. 2] A diagram illustrating the second embodiment of the invention.

[FIG. 3] A diagram showing the third embodiment of this invention.

[FIG. 4] A diagram depicting the fourth embodiment of the present invention.

[FIG. 5] A diagram showing the fifth embodiment of the invention.

[FIG. 6] A diagram illustrating the first embodiment of this invention.

[FIG. 7] A diagram showing a flash memory cell.

[FIG. 8] A diagram illustrating a block of flash memory cells.

[FIG. 9] A diagram depicting a flash memory.

[FIG. 10] A diagram explaining a method of leading a flash control bus to the outside.

[FIG. 11] A diagram explaining a conventional method of testing a nonvolatile semiconductor memory.

[Explanation of Reference Numerals]

11. Flash memory IC
12. Cell array of the flash memory
13. Peripheral circuits
14. State machine

- 15. Control bus
- 16. Test microcomputer
- 17. RAM (ROM) incorporated
- 21. External RAM
- 31. External ROM
- 41. Flash memory IC
- 42. Cell array of a flash memory
- 43. Peripheral circuits
- 44. State machine
- 45. Control bus
- 46. Test apparatus
- 47. Test microcomputer
- 48. RAM (ROM) incorporated
- 49. Switching circuit
- 50. External RAM
- 61. External ROM

English translation of terms described in figures.

FIG. 1

- 11. FLASH MEMORY IC
- 12. FLASH CELL ARRAY
- 13. PERIPHERAL CIRCUITS
- 14. STATE MACHINE
- 15. FLASH CONTROL BUS
- 16. MICROCOMPUTER
- 17. RAM OR ROM
- a. STORING THE TEST PROGRAM

FIG. 2

- 11. FLASH MEMORY IC
- 12. FLASH CELL ARRAY
- 13. PERIPHERAL CIRCUITS
- 14. STATE MACHINE
- 15. FLASH CONTROL BUS
- 16. MICROCOMPUTER
- 21. RAM
- a. STORING THE TEST PROGRAM

FIG. 3.

- 11. FLASH MEMORY IC
- 12. FLASH CELL ARRAY
- 13. PERIPHERAL CIRCUITS
- 14. STATE MACHINE
- 15. FLASH CONTROL BUS
- 16. MICROCOMPUTER
- 31. ROM

a. STORING THE TEST PROGRAM

FIG. 4

41. FLASH MEMORY IC

42. FLASH CELL ARRAY

43. PERIPHERAL CIRCUITS

44. STATE MACHINE

45. FLASH CONTROL BUS

46. TEST APPARATUS

47. MICROCOMPUTER

48. RAM OR ROM

49. SWITCHING CIRCUIT

a. STORING OR NOT STORING THE TEST PROGRAM IN
ACCORDANCE WITH THE TEST ITEM

FIG. 5

41. FLASH MEMORY IC

42. FLASH CELL ARRAY

43. PERIPHERAL CIRCUITS

44. STATE MACHINE

45. FLASH CONTROL BUS

46. TEST APPARATUS

47. MICROCOMPUTER

49. SWITCHING CIRCUIT

50. RAM

a. STORING OR NOT STORING THE TEST PROGRAM IN
ACCORDANCE WITH THE TEST ITEM

FIG. 6

41. FLASH MEMORY CELL IC

- 42. FLASH CELL ARRAY
- 43. PERIPHERAL CIRCUITS
- 44. STATE MACHINE
- 45. FLASH CONTROL BUS
- 46. TEST APPARATUS
- 47. MICROCOMPUTER
- 49. SWITCHING CIRCUIT
- 61. ROM
 - a. STORING OR NOT STORING THE TEST PROGRAM IN
ACCORDANCE WITH THE TEST ITEM

FIG. 7

- 71. CONTROL GATE
- 72. FLOATING GATE
- 73. SOURCE
- 74. DRAIN

FIG. 8

- a. SOURCE LINE
- 81₁; 81₂; 81_m WORD LINE
- 82₁; 82₂; 82_N BIT LINE

FIG. 9

- 91. STATE MACHINE
- 92. FLASH CONTROL BUS
- 93. PERIPHERAL CIRCUITS
- 94. FLASH CELL ARRAY
- 95. ADDRESS BUFFER
- 96. I/O PAD
- 931. WRITE- AND ERASE-VOLTAGE GENERATING

CIRCUIT

- 932. ROW DECODER
- 933. COLUMN DECODER
- 934. SENSE AMPLIFIER
- 935. INPUT/OUTPUT BUFFER

FIG. 10

- a. TO EACH CIRCUIT
- b. TO ADDRESS REGISTER
- c. TO I/O BUFFER

- 101. STATE MACHINE
- 102. SWITCHING CIRCUIT
- 103. SWITCHING CIRCUIT
- 104. ADDRESS BUFFER
- 105. I/O PAD
- 106. CONTROL BUS

FIG. 11

- 111. FLASH MEMORY
- 112. FLASH CELL ARRAY
- 113. RAM OR ROM
- 114. STATE MACHINE
- 115. FLASH CONTROL BUS
 - a. STORING THE TEST PROGRAM